

DIALOG(R) File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

04137897 **Image available**
SEMICONDUCTOR DEVICE

PUB. NO.: 05-129597 [JP 5129597 A]
PUBLISHED: May 25, 1993 (19930525)
INVENTOR(s): SAKAMOTO MITSUZO
YOSHIDA ISAO
MORIKAWA MASATOSHI
APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 03-291245 [JP 91291245]
FILED: November 07, 1991 (19911107)
INTL CLASS: [5] H01L-029/784; H01L-021/336
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)
JOURNAL: Section: E, Section No. 1430, Vol. 17, No. 504, Pg. 64,
September 10, 1993 (19930910)

ABSTRACT

PURPOSE: To provide an LSI having a shielding structure of a power LDMOS transistor with a sense FET.

CONSTITUTION: A first conductivity type high concentration second semiconductor region 2 is provided on a first conductivity type first semiconductor region 1, and a second conductivity type fourth semiconductor region 3a isolated by a first conductivity type semiconductor region 4 so annularly formed as to reach the region 2 from the main surface of a semiconductor is used as a drain of the transistor. A plurality of first conductivity type fifth semiconductor regions 7b, 7c are formed in the region 3a, and at least one of them is used as a body of a mirror MOS transistor of a sense FET. Thus, an LDMOS shielding structure LSI can be realized without reducing the resistance of the sense FET.

DIALOG(R) File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

009508720 **Image available**

WPI Acc No: 1993-202256/ 199325

XRPX Acc No: N93-155315

IC coexisted power and control element on same chip - includes lateral double diffusion MOS having sense FET in high concentration body region to obtain noise shielding effect NoAbstract

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5129597	A	19930525	JP 91291245	A	19911107	199325 B

Priority Applications (No Type Date): JP 91291245 A 19911107

Patent Details:

Patent No	Kind	LaN Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 5129597	A	5	H01L-029/784	
------------	---	---	--------------	--

Abstract (Basic): JP 5129597 A

Dwg.1/6

Title Terms: IC; POWER; CONTROL; ELEMENT; CHIP; LATERAL; DOUBLE; DIFFUSION; MOS; SENSE; FET; HIGH; CONCENTRATE; BODY; REGION; OBTAIN; NOISE; SHIELD; EFFECT; NOABSTRACT

Derwent Class: U12; U13

International Patent Class (Main): H01L-029/784

International Patent Class (Additional): H01L-021/336

File Segment: EPI

Manual Codes (EPI/S-X): U12-D02A9; U12-Q; U13-D02

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-129597

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl.⁵
H 01 L 29/784
21/336

識別記号

庁内整理番号

F I

技術表示箇所

8225-4M
8225-4M

H 01 L 29/78

301 K
301 L

審査請求 未請求 請求項の数4(全5頁)

(21)出願番号 特願平3-291245
(22)出願日 平成3年(1991)11月7日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 坂本 光造
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 吉田 功
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 森川 正敏
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 半導体装置

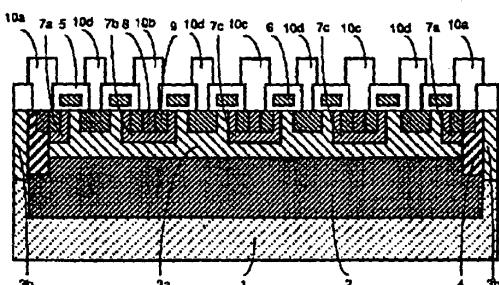
(57)【要約】

【目的】センスFET付パワーラDMOSトランジスタのシールド構造を有するLSIを提供することを目的とする。

【構成】第1導電型の第1半導体領域1上に第1導電型の高濃度の第2半導体領域2を設け、半導体主面から前記第2半導体領域2に達するように環状に形成した第1導電型の第3半導体領域4で分離された第2導電型の第4半導体領域3aをMOSトランジスタのドレインとし、第4半導体領域3a内に第1導電型の第5半導体領域7b、7cを複数個形成し、そのうちの少なくとも1つをセンスFETのミラー用MOSトランジスタのボディとした。

【効果】センスFETの耐圧を低下させないでLDMOSシールド構造LSIが実現可能となる。

図1



【特許請求の範囲】

【請求項1】第1導電型の第1半導体領域上に第1導電型の第2半導体領域を設け、半導体主面から前記第2半導体領域に達するように環状に形成した第1導電型の第3半導体領域で分離された第2導電型の第4半導体領域をMOSトランジスタのドレインとし、前記第4半導体領域内に、前記第1半導体領域並びに前記第2半導体領域並びに前記第3半導体領域とは接しない第1導電型の第5半導体領域を複数個形成し、前記第5半導体領域のうちの少なくとも1つを電流検出用端子を有するMOSトランジスタのボディとしたことを特徴とする半導体装置。

【請求項2】前記第1導電型の第5半導体領域のうち、電流検出用端子を有するMOSトランジスタのボディとなる直下には前記第2半導体領域を設けないようにしたことを特徴とする請求項1記載の半導体装置。

【請求項3】前記第1導電型の第5半導体領域のうち、電流検出用端子を有するMOSトランジスタのボディとなる直下には前記第2導電型の第4半導体領域より高濃度の第2導電型の第6半導体領域を設けたことを特徴とする請求項1記載の半導体装置。

【請求項4】横形2重拡散型MOSトランジスタにおいて、ドレイン領域の主要部を高濃度ボディ領域で分離し、前記ドレイン領域内に電流検出用端子を有するMOSトランジスタのソース用ボディ領域とミラー用ボディ領域を設け、前記高濃度ボディ領域とソース用ボディ領域の耐圧に比べ、前記高濃度ボディ領域とミラー用ボディ領域の耐圧の方を高くしたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置に係り、特に、電力用素子と制御素子とが同一チップ上で共存した集積回路半導体装置に関する。

【0002】

【従来の技術】従来、電力用素子として横型2重拡散MOSトランジスタ（以下LDMOSと呼ぶ）を用いた集積回路半導体装置（IC）に関しては、高不純物濃度のボディ領域でドレイン領域を囲んだLDMOSを有する構造の例が、ザエレクトロケミカル ソサイアティ スプリング ミーティングのイクスデンディド アブストラクト VOL. 89-1 (1989年5月) 第472頁から第473頁 (The Electrochemical Society, EXTEDED ABSTRACTS, SPRING MEETING, VOL. 89-1 May (1989), pp 472-473)において論じられている。この従来例では、LDMOSの破壊耐量低下の要因となるドレインと基板との間の寄生バイポーラトランジスタ動作を抑制するために、前述の高濃度のボディ領域を設けている。

【0003】

【発明が解決しようとする課題】前記従来構造では半導

体基板とLDMOSのドレイン間に存在する寄生バイポーラトランジスタの電流利得を低減して、その動作を抑制する手法が述べられている。しかし、LDMOSのスイッチング動作により発生する雑音を防止する、いわゆるシールド構造に関しては言及されてなかった。また、LDMOSの電流検出を低損失で行うための電流検出端子付き（センス）FETの実現方法に関しても考慮されてなかった。従って、IC構造の中で、センスFETを有するLDMOS構造を実現する場合の問題点に関しては検討がなされてなかった。

【0004】本発明の目的は、センスFETを有するLDMOSシールド構造の半導体装置を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するためには、本発明の一実施形態によれば、第1導電型の第1半導体領域（1）上に第1導電型の第2半導体領域（2）を設け、半導体主面から前記第2半導体領域（2）に達するように環状に形成した第1導電型の第3半導体領域（4）で分離された第2導電型の第4半導体領域（3a）をMOSトランジスタのドレインとし、前記第4半導体領域（3a）内に、前記第1半導体領域（1）並びに前記第2半導体領域（2）並びに前記第3半導体領域（4）とは接しない第1導電型の第5半導体領域（7b, 7c）を複数個形成し、前記第5半導体領域（7b, 7c）のうちの少なくとも1つをセンスFETのミラー用MOSトランジスタのボディとしたことを特徴とするものである（第1図参照）。さらに、本発明の好適な実施形態によれば、前記センスFETのミラー用MOSトランジスタのボディ（7b）直下には前記第2半導体領域（2）を設けないようにしたことを特徴とするものである（図3参照）。

【0006】さらに、本発明の好適な他の実施形態によれば、前記センスFETのミラー用MOSトランジスタのボディ（7b）直下には第2導電型の第6半導体領域（11）を設けたものである（図4、図5参照）。

【0007】本発明の他の一実施形態によれば、ドレイン領域（3a）を囲む高濃度ボディ領域と前記ドレイン領域（3a）内に形成するセンスFETのソースと接続されるボディ領域（7c）との耐圧に比べ、高濃度ボディ領域と前記ドレイン領域（3a）内に形成しセンスFETのミラー端子と接続されるボディ領域（7b）との耐圧を高くなるように形成した。（図1、図4、図5、図6参照）

【0008】

【作用】本発明によれば、センスFETを有するLDMOSを高濃度ボディ領域で包含することにより、雑音シールド効果が達成される。また、センスFETとして働くミラー端子用MOSトランジスタのボディ領域直下は前記高濃度ボディ領域を除去すること、そしてミラー端

子用MOSトランジスタのボディ領域直下の低濃度ドレイン領域を高濃度化すること、さらに、ミラー端子用MOSトランジスタのボディ領域直下のみ耐圧確保のためドレイン領域を残すことにより、シールド構造のLD MOSにおいてもセンスFETのソース端子とミラー端子の耐圧向上することが可能であるという効果がある。

【0009】

【実施例】以下、本発明の実施例を図面に依り詳細に説明する。

【0010】図1は本発明の第1の実施例の半導体装置の断面図を示してある。本素子はソース接地型のLD MOSである。本構造は1Ωcm以上の通常のP型半導体基板1上に高濃度P型埋込層2を形成し、環状の素子分離用のP型拡散層4をP型埋込層2に達するように設け、両者により分離されるN型エピタキシャル領域3aをドレインとし、素子分離領域でなおかつLD MOSのボディ領域となっているP型拡散層4をソースと接続してある。本構造では、多結晶シリコン層6がゲートで、この多結晶シリコン層に対し自己整合的に形成したP型拡散層7a、7b、7cをボディとし、N型拡散層9をソースとした。本実施例では素子の周辺部以外のボディ領域には素子分離用のP型拡散層4を使用していないためボディ領域の横方向拡散による面積増加を防止できる。また、素子中央部のボディ領域はN型エピタキシャル領域により分離された構造を実現できる。このため、半導体基板1へのドレインの電位変動の影響をシールドでき、これにより素子の周辺に放出される雑音が低減できるという効果がある。なお、本実施例では基板1がP型のため基板がソース領域とは反対導電型の前述の従来例の場合と異なり、ソースと基板との間に存在する寄生バイポーラトランジスタの電流利得が大きくなるということがない。

【0011】図2は本発明のLD MOSのセンスFETの等価回路である。ソースとドレインが接続された被電流検出用MOSトランジスタ(本体部)100、102と電流検出用MOSトランジスタ(ミラー部)101からなり、電流検出用MOSトランジスタ101と被電流検出用MOSトランジスタ100、102のゲート幅の比を例えば1対10程度以上に設定するとソース電圧がほぼ等しい場合、ソース電流の比が両者のゲート幅の比となる。電流検出用のMOSトランジスタ102のソース10bと被電流検出用MOSトランジスタのソース10a、10cとの間には通常抵抗を接続し、電流検出用のMOSトランジスタのソース電流による抵抗両端の電圧を測定することによりドレイン電流を検出する。このため、被電流検出用MOSトランジスタのソース10aと10cの耐圧は不要であるが、電流検出用のMOSトランジスタのソース10bと被電流検出用MOSトランジスタのソース10aの耐圧は必要である。すなわち、図1の実施例ではシールド用の低抵抗ボディ領域2、4

10 と被電流検出用MOSトランジスタのボディ7cの耐圧は不要であるが、電流検出用のMOSトランジスタのボディ7bとの耐圧は高くする必要がある。

【0012】図3は本発明の第2の実施例の半導体装置の断面図を示してある。本実施例では、電流検出用MOSトランジスタのソースと被電流検出用MOSトランジスタのソースとの耐圧向上のため電流検出用MOSトランジスタのボディ下のみ高濃度P型埋込層2を除いてある。すなわち、10bをミラー用MOSトランジスタ(電流検出用MOSトランジスタ)のソース電極とし、10aと10cを本体のMOSトランジスタ(被電流検出用MOSFETトランジスタ)のソース電極とした図2で示すようなソース接地型のセンスFETを実現した場合に、ソース端子とミラー端子の耐圧を高くすることが可能となる。本実施例ではミラー用MOSトランジスタのボディ領域直下には低抵抗ボディ領域がないが、主要ドレイン領域を低抵抗ボディ領域で包含してあるためシールド効果を保つことが可能である。即ち、本実施例のドレイン領域は高濃度素子分離領域4と高濃度P型埋込層2でほぼ取り囲んだN型エピタキシャル領域3aに形成してあるため、ドレイン電圧が高速に変動したり誘導性負荷のためグランド電圧以下に下がった場合にも高濃度のP型ボディ領域がグランド電位に対し低インピーダンスで固定される。図4は本発明の第3の実施例の半導体装置の断面図を示してある。本実施例では電流検出用MOSトランジスタのソースと被電流検出用MOSトランジスタのソースとのパンチスルーエンジニアリングによる耐圧向上のため第2の実施例に高濃度N型埋込層11を追加した実施例である。ここでN型埋込層11にリン、P型埋込層2にボロンを用いると埋込層のピーク濃度はP型埋込層が高く、拡散層のわき上がり量はN型埋込層の方が大きく設定できるためドレインのシールドはP型拡散層4とP型埋込層2で行いソースと基板とのパンチスルーエンジニアリングによる耐圧向上が可能である。

【0013】図5は本発明の第5の実施例の半導体装置の断面図を示してある。本実施例では電流検出用MOSトランジスタのソースと被電流検出用MOSトランジスタのソースとのパンチスルーエンジニアリングによる耐圧向上のため第4の実施例に高濃度N型埋込層11を電流検出用MOSトランジスタのソース直下のみに追加した。これによりドレインのシールドはP型拡散層4とP型埋込層2で行いソースと基板とのパンチスルーエンジニアリングによる耐圧向上が可能である。

【0014】図6は本発明の第6の実施例の半導体装置の断面図を示してある。本実施例では被電流検出用MOSトランジスタのボディ領域に電流検出用MOSトランジスタのボディ領域用拡散層7より深くP型拡散層12を形成している。これにより、被電流検出用MOSトランジスタのボディ領域の抵抗を低減し、破壊強度を増加した。P型拡散層12がシールド用の高濃度埋込拡散層

(4)

5

2に達するように形成した場合には大電流素子の中央部でのシールド領域の電位変動を防止することが可能である。

【0015】本発明の他の一実施形態によれば、前記第1導電型の第1半導体領域(1)の比抵抗を0.5Ωcm以下に選定することにより、前記第2半導体領域(2)を省略できる場合がある。

【0016】

【発明の効果】本発明によれば、ドレンを高濃度ボディ領域で包含する雑音シールド構造のLDMOSトランジスタにおいて良好なセンサFETを実現できるという効果がある。

【図面の簡単な説明】

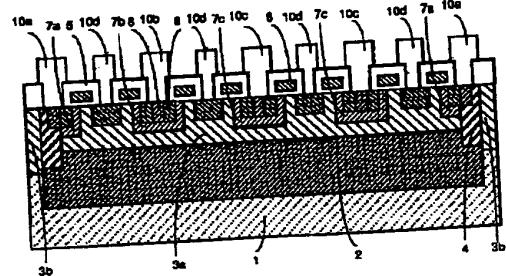
【図1】本発明の第1の実施例の半導体装置

【図2】本発明の実施例の等価回路

【図3】本発明の第2の実施例の半導体装置

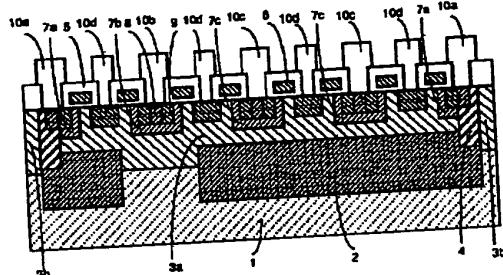
【図1】

図1



【図3】

図3



10

【図4】本発明の第3の実施例の半導体装置

【図5】本発明の第4の実施例の半導体装置

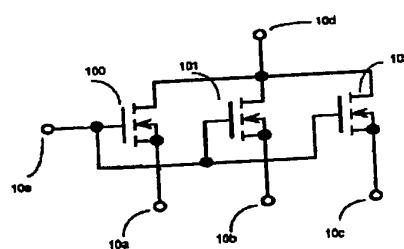
【図6】本発明の第5の実施例の半導体装置

【符号の説明】

1…P型半導体基板、2…P型埋込層、3a、3b…N型エピタキシャル層、4…素子分離用P拡散層、5…絶縁層、6…多結晶シリコン層、7a、7c…被電流検出用MOSトランジスタのボディ、7b…電流検出用MOSトランジスタのボディ、8、12…P型拡散層、9…N型拡散層、10a、10c…ソース電極層(被電流検出用MOSトランジスタ)、10d…ドレン電極層、10b…ミラー電極層(電流検出用MOSトランジスタ)、11…N型埋込層、100、101…被電流検出用MOSトランジスタ、102…電流検出用MOSトランジスタ。

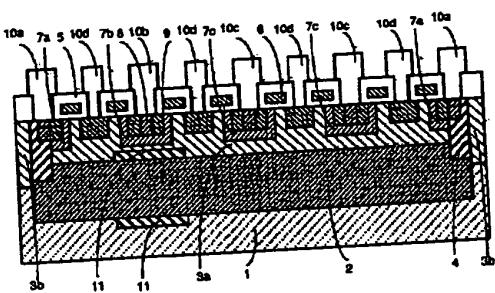
【図2】

図2



【図4】

図4

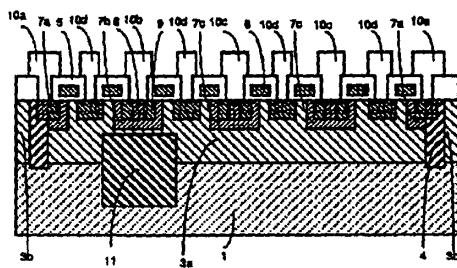


(5)

特開平5-129597

【図5】

図5



【図6】

図6

